

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Seiji MATSUMOTO)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: September 25, 2003)	Confirmation No.: Unassigned
)	
For: ON-SCREEN DISPLAY UNIT)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japan Patent Application No. 2003-047779
Filed: February 25, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: September 25, 2003

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

By: Wendi Weinstein R.N. 34,456
for: Platon N. Mandros
Registration No. 22,124

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : February 25, 2003

Application Number : Japanese Patent Application No. 2003-047779

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

MITSUBISHI ELECTRIC SYSTEM LSI DESIGN CORPORATION

This 24th day of March, 2003

Commissioner,

Japan Patent Office Shinichiro OTA

Certificate No. 2003-3019723

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 2月25日

出願番号

Application Number:

特願2003-047779

[ST.10/C]:

[JP2003-047779]

出願人

Applicant(s):

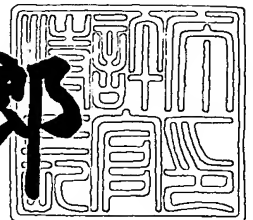
三菱電機株式会社

三菱電機システムエル・エス・アイ・デザイン株式会社

2003年 3月24日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019723

【書類名】 特許願

【整理番号】 541823JP01

【提出日】 平成15年 2月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 5/18

【発明者】

【住所又は居所】 兵庫県伊丹市中央3丁目1番17号 三菱電機システム
エル・エス・アイ・デザイン株式会社内

【氏名】 松本 誠之

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 391024515

【氏名又は名称】 三菱電機システムエル・エス・アイ・デザイン株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画面表示装置

【特許請求の範囲】

【請求項 1】 OSD 表示を行うためのデータを OSD 表示ブロック毎に設定する第 1 及び第 2 の OSD RAM と、

上記第 1 及び第 2 の OSD RAM に設定するデータを転送するメモリバスと、
OSD 表示を行うために上記第 1 及び第 2 の OSD RAM に設定されているデータを転送する OSD ローカルバスとを備え、

上記メモリバスから上記第 1 及び第 2 の OSD RAM に交互にデータを設定し、設定されたデータを上記第 1 及び第 2 の OSD RAM から交互に上記 OSD ローカルバスに転送することを特徴とする画面表示回路。

【請求項 2】 OSD 表示を行うためのデータを設定する OSD RAM と、
上記 OSD RAM に設定するデータを転送するメモリバスと、
上記 OSD RAM に設定されているデータから読み出されたデータを格納するバッファと、

OSD 表示を行うために上記バッファに格納されているデータを転送する OSD ローカルバスと、

上記 OSD RAM に設定されているデータから 1 水平走査線で OSD 表示に必要なデータを読み出して上記バッファに格納すると共に、上記バッファに格納されているデータが上記 OSD ローカルバスに転送されている間に、上記メモリバスから上記 OSD RAM にデータを設定するバッファ転送制御回路とを備えたことを特徴とする画面表示回路。

【請求項 3】 バッファ転送制御回路は、1 水平走査線で OSD 表示を行う前のその 1 水平走査線の期間に、1 水平走査線で OSD 表示に必要なデータを読み出してバッファに格納することを特徴とする請求項 2 記載の画面表示回路。

【請求項 4】 バッファ転送制御回路は、1 水平走査線で OSD 表示を行った後のその 1 水平走査線の期間に、次の 1 水平走査線で OSD 表示に必要なデータを読み出してバッファに格納することを特徴とする請求項 2 記載の画面表示回路。

【請求項 5】 バッファ転送制御回路が、1 水平走査線で O S D 表示を行う前のその 1 水平走査線の期間に 1 水平走査線で O S D 表示に必要なデータを読み出してバッファに格納するか、又は 1 水平走査線で O S D 表示を行った後のその 1 水平走査線の期間に次の 1 水平走査線で O S D 表示に必要なデータを読み出してバッファに格納するかを選択可能にしたことを特徴とする請求項 2 記載の画面表示回路。

【請求項 6】 バッファとしてデュアルポート R A M を使用したことを特徴とする請求項 2 記載の画面表示回路。

【請求項 7】 バッファ転送制御回路は、O S D R A M に設定されているデータから、1 文字分の表示期間に 2 文字分以上のデータを、1 水平走査線で表示する順に先読みしてバッファに格納することを特徴とする請求項 2 記載の画面表示回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は画面上に文字、数字、記号等のパターンを表示させる画面表示装置に関するものである。

【 0 0 0 2 】

【従来の技術】

図 7 は従来の画面表示装置 (O n - S c r e e n - D i s p l a y) の一般的な構成を示すブロック図である。この画面表示装置は O S D R A M 1、C P U 4、O S D R A M 調停回路 9、メモリバス 1 1、O S D ローカルバス 1 2 及び O S D R A M バス 1 3 により構成されている。画面上に文字、数字、記号等のパターンを表示させるにあたっては、事前に C P U 4 により、文字コードや色コード等のアトリビュートコードのデータを O S D R A M 1 に設定し、その設定されたデータに従って画面上に文字、数字、記号等のパターンを表示させている。

【 0 0 0 3 】

この画面表示装置では、外部から入力される O S D 表示用クロックを動作クロックとし、これに同期して各ブロックが動作する。O S D R A M 1 も同様にこの

OSD表示用クロックに同期して、OSDローカルバス12を介して、文字コードをキャラクタROM（図示せず）に、アトリビュートコードを出力回路（図示せず）に転送する。

【0004】

また、OSDRAM1をアクセスするバスとしてメモリバス11があり、これは文字コードやアトリビュートコードを設定するためのバスである。このメモリバス11を介して文字コードやアトリビュートコードをOSDRAM1に設定するときは、CPU4の基本動作クロックで行われる。このCPU4の基本動作クロックとOSD表示用クロックは、例えば特許文献1に示すように、異なる動作周波数のクロックが使用されている。

【0005】

通常、この基本動作クロックと表示用クロックは非同期で動作するもので、OSDRAM1に対し、メモリバスアクセス、OSDローカルバスアクセスの2つの異なるアクセスタイミングが発生する。OSDRAM1がデュアルポートRAMで構成されていれば、2つの異なるアクセスタイミングでのアクセスは問題とならないが、デュアルポートRAMは、シングルポートRAMに比べ、その回路規模は大きくなるので通常は使用されていない。よって、OSDRAM1には、2つの異なるアクセスタイミングを調停するためのOSDRAM調停回路9が付加されている。

【0006】

図8は各バス上のデータタイミングを示すタイミングチャートであり、図8（a）はメモリバス11上のデータタイミング、図8（b）はOSDローカルバス12上のデータタイミング、図8（c）はOSDRAMバス13上のデータタイミングをそれぞれ示している。

【0007】

OSD表示処理中では、OSDRAM調停回路9は、図8（b）に示すように、OSD表示用クロックに同期して、OSDRAM1よりOSDRAMバス13を介してOSDローカルバス12にデータを転送している。このとき、図8（a）に示すように、CPU4からOSDRAM1へのアクセスがあった場合には

、OSADRAM調停回路9はメモリバス11からのアクセスを優先させ、図8(c)に示すように、OSDRAMバス13にはメモリバス11からのデータを割り込ませる。CPU4からのアクセスが終了後、OSADRAM調停回路9は、OSDRAMバス13のアクセス権をOSD処理に戻してOSD表示を継続処理する。

【0008】

OSD表示の機能向上として、1走査区間内での文字数の増加や水平走査周波数の高い機能TV等に対応するためには、OSD表示用クロックの高速化の要求が強くなっている。図9は図8のOSD表示用クロックの動作周波数より高い動作周波数を使用した場合の各バス上のデータタイミングを示すタイミングチャートである。この場合には、図9(c)に示すように、OSDRAMバス13上の文字コードD、Fのデータが短くなり、次段のOSDROM(図示せず)や出力回路(図示せず)への転送マージンが低下する。また、OSD表示用クロックの動作周波数をさらに高くすると、データが欠落してしまう可能性もある。

【0009】

【特許文献1】

特許第2715179号公報(第2ページ、右欄「作用」の欄)

【0010】

【発明が解決しようとする課題】

従来の画面表示装置は以上のように構成されているので、OSD表示用クロックの動作周波数を高くした場合に、OSDローカルバス12上へのデータが欠落してしまいOSD表示が正常にできなくなるという課題があった。

【0011】

この発明は上記のような課題を解決するためになされたもので、OSD表示用クロックの動作周波数を高くしても、OSDRAMをデュアルポート化することなしに、OSD表示を正常に行える画面表示装置を得ることを目的とする。

【0012】

【課題を解決するための手段】

この発明に係る画面表示装置は、OSD表示を行うためのデータをOSD表示

ブロック毎に設定する第 1 及び第 2 の OSDRAM と、第 1 及び第 2 の OSDRAM に設定するデータを転送するメモリバスと、OSD 表示を行うために第 1 及び第 2 の OSDRAM に設定されているデータを転送する OSD ローカルバスとを備え、メモリバスから第 1 及び第 2 の OSDRAM に交互にデータを設定し、設定されたデータを第 1 及び第 2 の OSDRAM から交互に OSD ローカルバスに転送するものである。

【 0 0 1 3 】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態 1.

図 1 はこの発明の実施の形態 1 による画面表示装置の構成を示すブロック図である。図 1 に示すように、画面表示装置は、OSDRAM 1 a (第 1 の OSDRAM)、OSDRAM 1 b (第 2 の OSDRAM)、スイッチ 2 a, 2 b、レジスタ 3、CPU 4、OSD 表示制御回路 5、メモリバス 1 1、OSD ローカルバス 1 2 及び OSDRAM バス 1 3 a, 1 3 b により構成されている。

【 0 0 1 4 】

次に動作について説明する。

OSDRAM 1 a, 1 b は、それぞれ物理的に独立したメモリモジュールで、それぞれスイッチ 2 a, 2 b を介して、メモリバス 1 1 又は OSD ローカルバス 1 2 に接続される。スイッチ 2 a, 2 b はレジスタ 3 に設定されるスイッチ切り替えビット 1 0 1 の値により制御される。レジスタ 3 からのスイッチ切り替えビット 1 0 1 の値により、スイッチ 2 a, 2 b は OSDRAM 1 a, 1 b をメモリバス 1 1 又は OSD ローカルバス 1 2 のいずれかに接続する。

【 0 0 1 5 】

ここでは、スイッチ切り替えビット 1 0 1 の値が “0” の場合に、OSDRAM 1 a をメモリバス 1 1 に接続し、OSDRAM 1 b を OSD ローカルバス 1 2 に接続する。また、スイッチ切り替えビット 1 0 1 の値が “1” の場合には、OSDRAM 1 a を OSD ローカルバス 1 2 に接続し、OSDRAM 1 b をメモリバス 1 1 に接続する。

【0016】

OSDRAM1 a, 1 bには、画面上のOSD表示における各OSD表示ブロック毎のデータが設定される。そして、CPU4は、画面上のどのOSD表示ブロックのOSD表示を行うかを管理しており、レジスタ3にスイッチ切り替えビット101の値を設定してスイッチ2 a, 2 bを切り替えることにより、該当するOSD表示ブロックのOSD表示を行うためのデータが設定されているOSDRAM1 a又はOSDRAM1 bを、OSDローカルバス12に接続する。

【0017】

例えば、レジスタ3のスイッチ切り替えビット101の値が“0”の場合に、OSDRAM1 bをOSDローカルバス12に接続することにより、OSDRAM1 bに設定されているデータを、OSD表示用クロックに同期して、OSDRAMバス13 b、スイッチ2 bを介してOSDローカルバス12に転送する。また、このとき、OSDRAM1 aはメモリバス11に接続されているので、CPU4は次のOSD表示ブロックにOSD表示させるためのデータを、CPU4の基本動作クロックに同期して、メモリバス11、スイッチ2 a、OSDRAMバス13 aを介してOSDRAM1 aに設定する。

【0018】

OSD表示制御回路5は、垂直同期信号及び水平同期信号を基準に、OSDRAM1 aに対応するOSD表示ブロック、又はOSDRAM1 bに対応するOSD表示ブロックを選択し、各OSD表示ブロックのOSD表示が終了すると、CPU4に対して割り込み信号102を出力する。

【0019】

OSDRAM1 bに設定されているデータに対応するOSD表示ブロックのOSD表示が終了すると、CPU4はOSD表示制御回路5からの割り込み信号102を受けて、レジスタ3のスイッチ切り替えビット101の値を“1”に設定する。スイッチ2 aによりOSDRAM1 aはOSDローカルバス12に接続され、OSDRAM1 aに設定されているデータを、OSD表示用クロックに同期して、OSDRAMバス13 a、スイッチ2 aを介してOSDローカルバス12に転送する。そして、スイッチ2 bによりOSDRAM1 bはメモリバス11に

接続され、CPU4は次のOSD表示ブロックにOSD表示させるためのデータを、CPU4の基本動作クロックに同期して、メモリバス11、スイッチ2b、OSDRAMバス13bを介してOSDRAM1bに設定する。

【0020】

OSDRAM1aに設定されているデータに対応するOSD表示ブロックのOSD表示が終了すると、CPU4はOSD表示制御回路5からの割り込み信号102を受けて、レジスタ3のスイッチ切り替えビット101の値を“0”に設定する。

【0021】

このように、画面上のOSD表示ブロック毎にOSD表示させるためのデータをOSDRAM1a及びOSDRAM1bに交互に設定し、設定されたデータをOSDRAM1a及びOSDRAM1bから交互にOSDローカルバス12に転送することにより、CPU4が基本動作クロックに同期してOSD表示のためのデータをOSDRAM1a及びOSDRAM1bに設定するタイミングにかかわらず、OSDRAM1a及びOSDRAM1bに設定されているデータを欠落することなく、常にOSD表示用クロックに同期してOSDローカルバス12に転送することができる。

【0022】

このように、2つのOSDRAM1a, 1bを独立して動作させることができ、基本動作クロックとOSD表示用クロックによる非同期動作に関係なく、2つのOSDRAM1a, 1bにアクセスが可能になる。

【0023】

以上のように、この実施の形態1によれば、OSD表示を行うOSD表示ブロック毎のデータを設定する2つのOSDRAM1a, 1bを備え、この2つのOSDRAM1a, 1bに交互にOSD表示のためのデータを設定し、設定されたデータをOSDRAM1a及びOSDRAM1bから交互にOSDローカルバス12に転送することにより、OSDRAMバス13a, 13b上に、メモリバス11からOSDRAM1a, 1bへ設定されるデータと、OSDRAM1a, 1bからOSDローカルバス12に出力されるデータとの衝突がなく、OSD表示

用クロックの動作周波数を高くしても、OSD表示を正常に行うことができるという効果が得られる。

【0024】

実施の形態2.

図2はこの発明の実施の形態2による画面表示装置の構成を示すブロック図である。図2に示すように、画面表示装置は、OSDRAM1、CPU4、OSD表示制御回路5、バッファ転送制御回路61及びバッファ62を備えたバッファ付OSDRAM調停回路6、メモリバス11、OSDローカルバス12、OSDRAMバス13、バッファ入力バス14及びバッファ出力バス15により構成されている。ここで、バッファ62の「SA」はバッファ62に備えられている「Sense Amp」を示している。

【0025】

次に動作について説明する。

従来の図7に示すOSDRAM調停回路9は、OSDRAM1の読み出し時にはバッファ転送させることなく、読み出したデータを直接OSDローカルバス12へ転送しているが、この実施の形態2のバッファ付OSDRAM調停回路6では、バッファ62を備え、読み出したデータをバッファ62にバッファ転送して一旦格納してからOSDローカルバス12へ転送する。

【0026】

このバッファ付OSDRAM調停回路6はOSD表示制御回路5から出力されるバッファ転送制御イネーブル信号103により能動化される。このバッファ転送制御イネーブル信号103は画面上でOSD表示が行われていない区間でイネーブルになる信号である。

【0027】

図3は画面上のOSD表示エリアを示す図である。このOSD表示エリアは、通常、複数のOSD表示ブロックより構成されている。ここでは、水平同期信号によって水平走査が開始されてからOSD表示が行われるまでの1水平走査線の区間①でイネーブルになる場合で説明する。

【0028】

バッファ転送制御イネーブル信号103が1水平走査線の区間①でイネーブルになると、バッファ転送制御回路61はOSDRAM1から1水平走査線に表示すべきキャラクタ数のデータをOSDRAMバス13、バッファ入力バス14を介してバッファ62へ転送して格納する。1水平走査線で32文字分の各文字の一部を表示する場合、1文字分のOSD表示に必要なデータが2バイトとすれば、転送すべきデータは $2 \times 32 = 64$ バイトとなる。

【0029】

1水平走査線の区間①が終了してOSD表示を行う際には、バッファ62からバッファ出力バス15を介して、格納されているデータがOSDローカルバス12へ順次転送される。このとき、CPU4はOSD表示制御回路5に設定されている区間①でないことを示すフラグビット104を読み込んで、次の1水平走査線に表示すべきキャラクタ数のデータをメモリバス11を介してバッファ転送制御回路61に転送し、バッファ転送制御回路61は転送されたデータをOSDRAMバス13を介してOSDRAM1に設定する。

【0030】

このように、1水平走査線の区間①以外はOSD表示のスピードに関係なく、OSDRAM1にアクセスしてOSD表示のためのデータを設定することが可能になる。このOSDRAM1からバッファ62へのデータの転送と、バッファ62からのOSDローカルバス12へのデータの転送は、次の1水平走査線でも同様に行われる。

【0031】

以上のように、この実施の形態2によれば、バッファ転送制御回路61が、OSDRAM1に設定されているOSD表示用のデータから、1水平走査線でOSD表示を行うデータを、水平同期信号によって水平走査が開始されてからOSD表示が行われるまでの1水平走査線の区間①でバッファ62に一旦格納し、バッファ62に格納されているデータがOSDローカルバス12に転送されOSD表示をしている間に、CPU4がOSDRAM1にOSD表示のためのデータを設定することにより、OSDRAMバス13上に、メモリバス11からOSDRAM1に設定されるデータと、OSDRAM1からOSDローカルバス12に出力

されるデータとの衝突がなく、OSD表示用クロックの動作周波数を高くしても、OSD表示を正常に行うことができるという効果が得られる。

【 0 0 3 2 】

実施の形態 3.

この発明の実施の形態 3 による画面表示装置の構成を示すブロック図は、実施の形態 2 の図 2 において、バッファ転送制御イネーブル信号 1 0 3 をバッファ転送制御イネーブル信号 1 0 5 とし、フラグビット 1 0 4 をフラグビット 1 0 6 としたものである。実施の形態 2 では、図 3 に示す画面の各水平走査線の OSD 表示の前の区間①でバッファ転送を行ったが、画面上の OSD 表示位置によっては、OSD 表示の前の区間①が短くなる場合がある。この場合、OSD 表示の終了後から次の水平走査線のための水平同期信号が入力されるまでの区間②に、次の 1 水平走査線で OSD 表示すべきデータをバッファ転送しておく方法も考えられる。

【 0 0 3 3 】

この場合、図 2 の OSD 表示制御回路 5 より、図 3 の画面上の区間②でイネーブルとなるバッファ転送制御イネーブル信号 1 0 5 を出力し、CPU 4 は OSD 表示制御回路 5 に設定されている区間②でないことを示すフラグビット 1 0 6 を読み込むものとする。バッファ転送制御イネーブル信号 1 0 5 が 1 水平走査線の区間②でイネーブルになると、バッファ転送制御回路 6 1 は、OSDRAM 1 から 1 水平走査線で 3 2 文字を表示させるための 6 4 バイト分のデータを OSDRAM バス 1 3 及びバッファ入力バス 1 4 を介してバッファ 6 2 へ転送して格納する。

【 0 0 3 4 】

区間②が終了し次の 1 水平走査線で OSD 表示を行う際には、バッファ 6 2 からバッファ出力バス 1 5 を介して、格納されているデータが OSD ローカルバス 1 2 へ順次転送される。このとき、CPU 4 は OSD 表示制御回路 5 に設定されている区間②でないことを示すフラグビット 1 0 6 を読み込んで、次の 1 水平走査線に表示すべきキャラクタ数のデータをメモリバス 1 1 を介してバッファ転送制御回路 6 1 に転送し、バッファ転送制御回路 6 1 は OSDRAM バス 1 3 を介

してOSDRAM1に転送されたデータを設定する。

【0035】

以上のように、この実施の形態3によれば、バッファ転送制御回路61が、OSDRAM1に設定されているOSD表示用のデータから、1水平走査線でOSD表示を行うデータを、OSD表示の終了後から次の水平走査線のための水平同期信号が入力されるまでの区間②でバッファ62にバッファ転送して一旦格納し、バッファ62に格納されているデータがOSDローカルバス12に出力されてOSD表示をしている間に、CPU4がOSDRAM1にOSD表示のためのデータを設定することにより、OSDRAMバス13上に、メモリバス11からOSDRAM1に設定されるデータと、OSDRAM1からOSDローカルバス12に出力されるデータとの衝突がなく、OSD表示用クロックの動作周波数を高くしても、OSD表示を正常に行うことができるという効果が得られる。

【0036】

実施の形態4.

図4はこの発明の実施の形態4による画面表示装置の構成を示すブロック図である。図4に示すように、画面表示装置は、OSDRAM1、CPU4、OSD表示制御回路5、バッファ転送制御回路61及びバッファ62を備えたバッファ付OSDRAM調停回路6、スイッチ7a、7b、レジスタ8、メモリバス11、OSDローカルバス12、OSDRAMバス13、バッファ入力バス14及びバッファ出力バス15により構成されている。

【0037】

次に動作について説明する。

上記実施の形態2又は上記実施の形態3では、図3に示す画面上の区間①又は区間②で、OSDRAM1に設定されているデータをバッファ62にバッファ転送を行っており、OSD表示を画面上のどの位置で表示するかで、この区間①、区間②の時間は決定されている。ここで、この区間①、区間②の時間について検討する。

【0038】

例えば、NTSC方式の場合、

カラーサブキャリア周波数 $f_{sc} = 3.579545 \text{ MHz}$ 、
 水平周波数 $f_h = f_{sc} \times 2 / 455 \doteq 15734.264 \text{ Hz}$ 、
 水平走査線 $1H = 1 / f_h \doteq 63.6 \mu\text{sec}$ 、
 OSD表示クロックの動作周波数 $f_{osc} = 27 \text{ MHz}$ とすると、

1文字の表示処理時間

$$\doteq 1184 \text{ nsec} (16 \text{ ドット} \times 74 \text{ nsec})、$$

1表示ブロックのTV表示区間 $= 1184 \text{ nsec} \times 34 \text{ 文字}$

$$= 40256 \text{ nsec} \doteq 40.3 \mu\text{sec}、$$

TV画面上に現れない左1文字目の表示前のOSD回路動作時間

$$= 1184 \text{ nsec} \times 2 \text{ 文字} = 2368 \text{ nsec} \doteq 2.4 \mu\text{sec}$$

となり、1水平走査線中のOSD表示処理には、「 $40.3 \mu\text{sec} + 2.4 \mu\text{sec}$ 」の時間を要することになる。よって、

バッファ転送に使用できる区間①、区間②の時間

$$= 63.6 \mu\text{sec} - 40.3 \mu\text{sec} - 2.4 \mu\text{sec} \doteq 20.9 \mu\text{sec}$$

となる。

【0039】

ここで、バッファ転送に使用されるOSD表示クロックの動作周波数を f_{osc} とし、OSDRAM1への1バイトデータの転送にOSD表示クロックの動作周波数 f_{osc} の5サイクルかかるとすると、

32文字分のデータ転送には、

$$32 \text{ 文字} \times 2 \text{ バイト} / \text{文字} \times 5 \text{ サイクル} \times 74 \text{ nsec}$$

$$= 4736 \text{ nsec} \doteq 4.8 \mu\text{sec}$$

の時間を要することによる。

上記バッファ転送時間 $4.8 \mu\text{sec}$ が区間①又は区間②のいずれかで確保されるように、画面上のOSD表示位置を決定する必要がある。

【0040】

この実施の形態4では、多様なOSD表示に対応するために、バッファ転送制御回路61を能動化するタイミングを選択できるように、区間①で能動化されるバッファ転送制御イネーブル信号103と、区間②で能動化されるバッファ転送

制御イネーブル信号105とをレジスタ8で選択可能にする。

【0041】

CPU4はOSD表示ブロックを画面上のどの位置で行うかを管理しており、レジスタ8のスイッチ切り替えビット107の値を設定する。例えば、スイッチ切り替えビット107の値が“0”の場合に、スイッチ7aは区間①で能動化されるバッファ転送制御イネーブル信号103をバッファ転送制御回路61に入力し、CPU4はOSD表示制御回路5に設定されている区間①でないことを示すフラグビット104を読み込むものとする。

【0042】

また、スイッチ切り替えビット107の値が“1”の場合に、スイッチ7aは区間②で能動化されるバッファ転送制御イネーブル信号105をバッファ転送制御回路61に入力し、CPU4はOSD表示制御回路5に設定されている区間②でないことを示すフラグビット106を読み込むものとする。その他の処理は実施の形態2及び実施の形態3と同じである。

【0043】

このようにして、バッファ転送時間が区間①又は区間②のいずれかで確保できるようにすれば良く、画面上のOSD表示ブロックの位置によって、CPU4はレジスタ8のスイッチ切り替えビット107の値を設定して、バッファ転送制御回路61の動作タイミングを切り替える。

【0044】

以上のように、この実施の形態4によれば、バッファ転送制御回路61により、OSDRAM1に設定されているOSD表示用のデータから、1水平走査線でOSD表示を行うデータを、水平同期信号によって水平走査が開始されてからOSD表示が行われるまでの1水平走査線の区間①でバッファ転送するか、又はOSD表示の終了後から次の水平走査線のための水平同期信号が入力されるまでの区間②でバッファ転送するかを、CPU4が画面上のOSD表示ブロックの位置によって切り替えることにより、OSDRAMバス13上に、メモリバス11からOSDRAM1に設定されるデータと、OSDRAM1からOSDローカルバス12に出力されるデータとの衝突がなく、OSD表示用クロックの動作周波数

を高くしても、OSD表示を正常に行うことができるという効果が得られる。

【0045】

実施の形態5.

図5はこの発明の実施の形態5による画面表示装置の構成を示すブロック図である。図5に示すように、画面表示装置は、OSDRAM1、CPU4、OSD表示制御回路5、バッファ転送制御回路61及びデュアルポートRAM63を備えたバッファ付OSDRAM調停回路6、メモリバス11、OSDローカルバス12、OSDRAMバス13、バッファ入力バス14及びバッファ出力バス15により構成されている。

【0046】

上記実施の形態2では、バッファ62はシングルポートのバッファを使用しているので、バッファ入力バス14を介してバッファ転送を行うタイミングと、バッファ出力バス15を介してOSDローカルバス12にデータを転送するタイミングは完全に分離されていなければならない。

【0047】

しかし、図5ではこのバッファ62をデュアルポートRAM63に置き換えているので、バッファ転送制御回路61によるデュアルポートRAM63へのバッファ転送と同時に、デュアルポートRAM63からOSDローカルバス12へのデータ転送が可能となる。その他の処理は実施の形態2と同様である。

【0048】

バッファ62をデュアルポート化することで、シングルポートバッファに比べて構成する回路規模は増大するデメリットはあるが、OSDRAM1からのバッファ転送に使用できる時間を20.9 μ sec以上にすることができる。

【0049】

以上のように、この実施の形態5によれば、実施の形態2と同様の効果が得られると共に、バッファとしてデュアルポートRAM63を使用することにより、OSDRAM1からのバッファ転送に使用できる時間を長く確保でき、高速走査を行う高精彩画像システムへの対応が可能になるという効果が得られる。

【0050】

実施の形態 6.

この発明の実施の形態 6 による画面表示装置の構成を示すブロック図は、実施の形態 2 の図 2 と同じである。

【 0 0 5 1 】

図 6 はバッファ入力バス 1 4 上のデータタイミングを示すタイミングチャートである。上記実施の形態 2 では、バッファ転送制御回路 6 1 は、図 6 (a) に示すように、1 文字分の表示期間に 1 文字分の 2 バイトの O S D R A M 1 に設定されているデータを、バッファ入力バス 1 4 を介してバッファ 6 2 に格納しているが、この実施の形態 6 では、バッファ転送制御回路 6 1 は、図 6 (b) に示すように、1 文字分の表示期間に 2 文字分のデータを、1 水平走査線で表示する順に 1 文字目から 3 2 文字目までを先読みして、バッファ入力バス 1 4 を介してバッファ 6 2 に格納する。

【 0 0 5 2 】

このバッファ 6 2 に格納されたデータを 1 文字目から順次 3 2 文字目までを O S D ローカルバス 1 2 に出力して O S D 表示が行われる。この O S D 表示処理中に C P U 4 から O S D R A M 1 へのアクセスがあった場合、バッファ転送制御回路 6 1 は C P U 4 からのアクセスを優先させるが、バッファ 6 2 には、既に先読みされたデータが格納されているので、このバッファ 6 2 からのデータを転送して処理を続けることで O S D 表示が行われる。その他の処理は実施の形態 2 と同様である。

【 0 0 5 3 】

このように、この実施の形態 6 では、図 3 に示す O S D 表示エリアの区間であっても、C P U 4 から O S D R A M 1 へのアクセスが可能となる。

【 0 0 5 4 】

この実施の形態 6 では、1 文字分の表示期間に 2 文字分のデータの読み出しについて説明したが、もちろん、3 文字以上のデータの読み出しの場合でも同様の効果がある。

【 0 0 5 5 】

以上のように、この実施の形態 6 によれば、実施の形態 2 と同様の効果が得ら

れると共に、バッファ転送制御回路 6 1 が、O S D R A M 1 に設定されているデータから、1 文字分の表示期間に 2 文字分以上のデータを、1 水平走査線で表示する順に 1 文字目から 3 2 文字目までを先読みして、バッファ入力バス 1 4 を介してバッファ 6 2 に格納し、格納されたデータが 1 文字目から順次 3 2 文字目までを O S D ローカルバス 2 に出力されて O S D 表示を行うことにより、O S D 表示エリアの区間であっても、C P U 4 から O S D R A M 1 へのアクセスが可能となるという効果が得られる。

【 0 0 5 6 】

【発明の効果】

以上のように、この発明によれば、O S D 表示を行うためのデータを O S D 表示ブロック毎に設定する第 1 及び第 2 の O S D R A M と、第 1 及び第 2 の O S D R A M に設定するデータを転送するメモリバスと、O S D 表示を行うために第 1 及び第 2 の O S D R A M に設定されているデータを転送する O S D ローカルバスとを備え、メモリバスから第 1 及び第 2 の O S D R A M に交互にデータを設定し、設定されたデータを第 1 及び第 2 の O S D R A M から交互に O S D ローカルバスに転送することにより、O S D 表示用クロックの動作周波数を高くしても、O S D 表示を正常に行うことができるという効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による画面表示装置の構成を示すブロック図である。

【図 2】 この発明の実施の形態 2 による画面表示装置の構成を示すブロック図である。

【図 3】 この発明の実施の形態 2 による画面表示装置における画面上の O S D 表示エリアを示す図である。

【図 4】 この発明の実施の形態 4 による画面表示装置の構成を示すブロック図である。

【図 5】 この発明の実施の形態 5 による画面表示装置の構成を示すブロック図である。

【図 6】 この発明の実施の形態 6 による画面表示装置におけるバッファ入

カバス上のデータタイミングを示すタイミングチャートである。

【図 7】 従来の画面表示装置の構成を示すブロック図である。

【図 8】 従来の画面表示装置におけるバス上のデータタイミングを示すタイミングチャートである。

【図 9】 従来の画面表示装置におけるバス上のデータタイミングを示すタイミングチャートである。

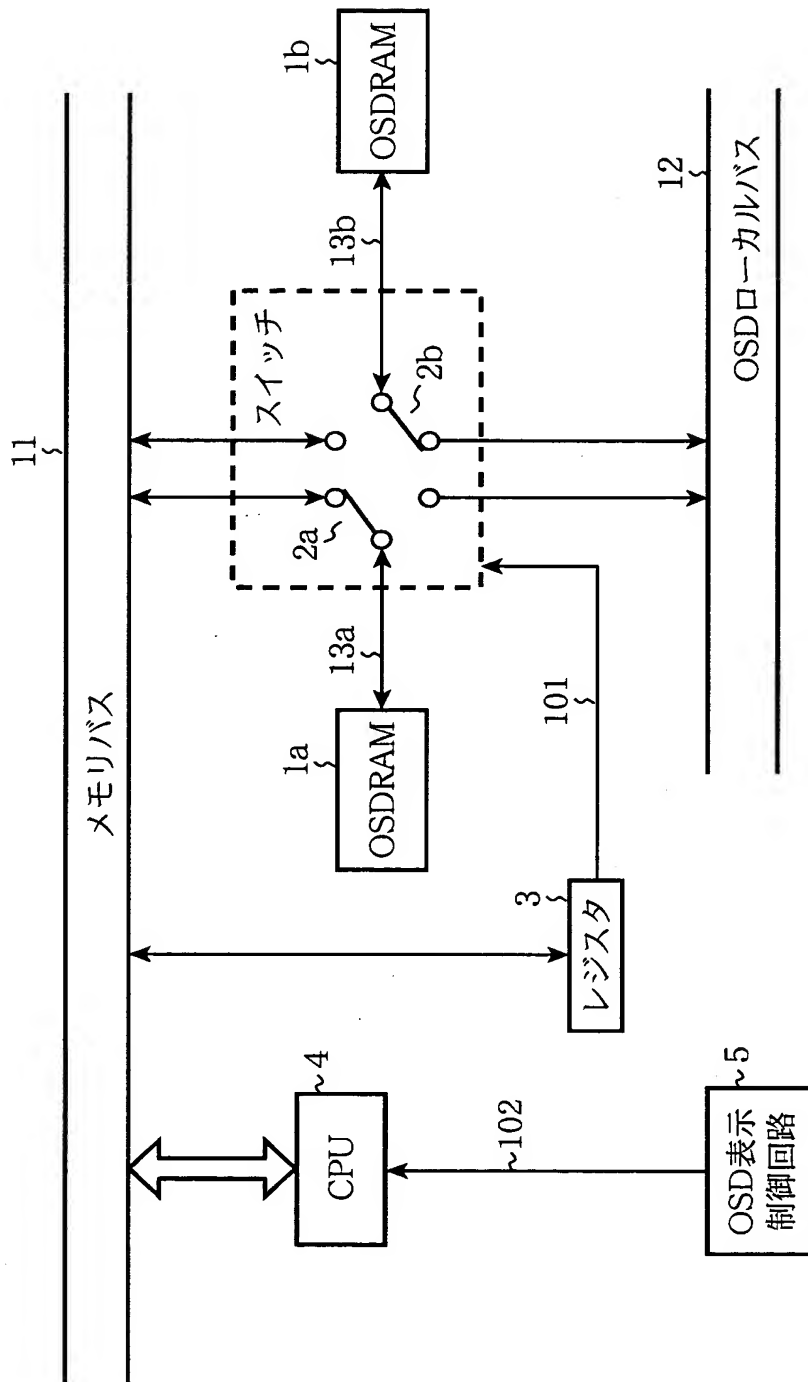
【符号の説明】

1, 1 a, 1 b OSDRAM、2 a, 2 b スイッチ、3 レジスタ、4 CPU、5 OSD表示制御回路、6 バッファ付OSDRAM調停回路、7 a, 7 b スイッチ、8 レジスタ、11 メモリバス、12 OSDローカルバス、13 OSDRAMバス、14 バッファ入力バス、15 バッファ出力バス、61 バッファ転送制御回路、62 バッファ、63 デュアルポートRAM、101 スイッチ切り替えビット、102 割り込み信号、103 バッファ転送制御イネーブル信号、104 フラグビット、105 バッファ転送制御イネーブル信号、106 フラグビット、107 スイッチ切り替えビット。

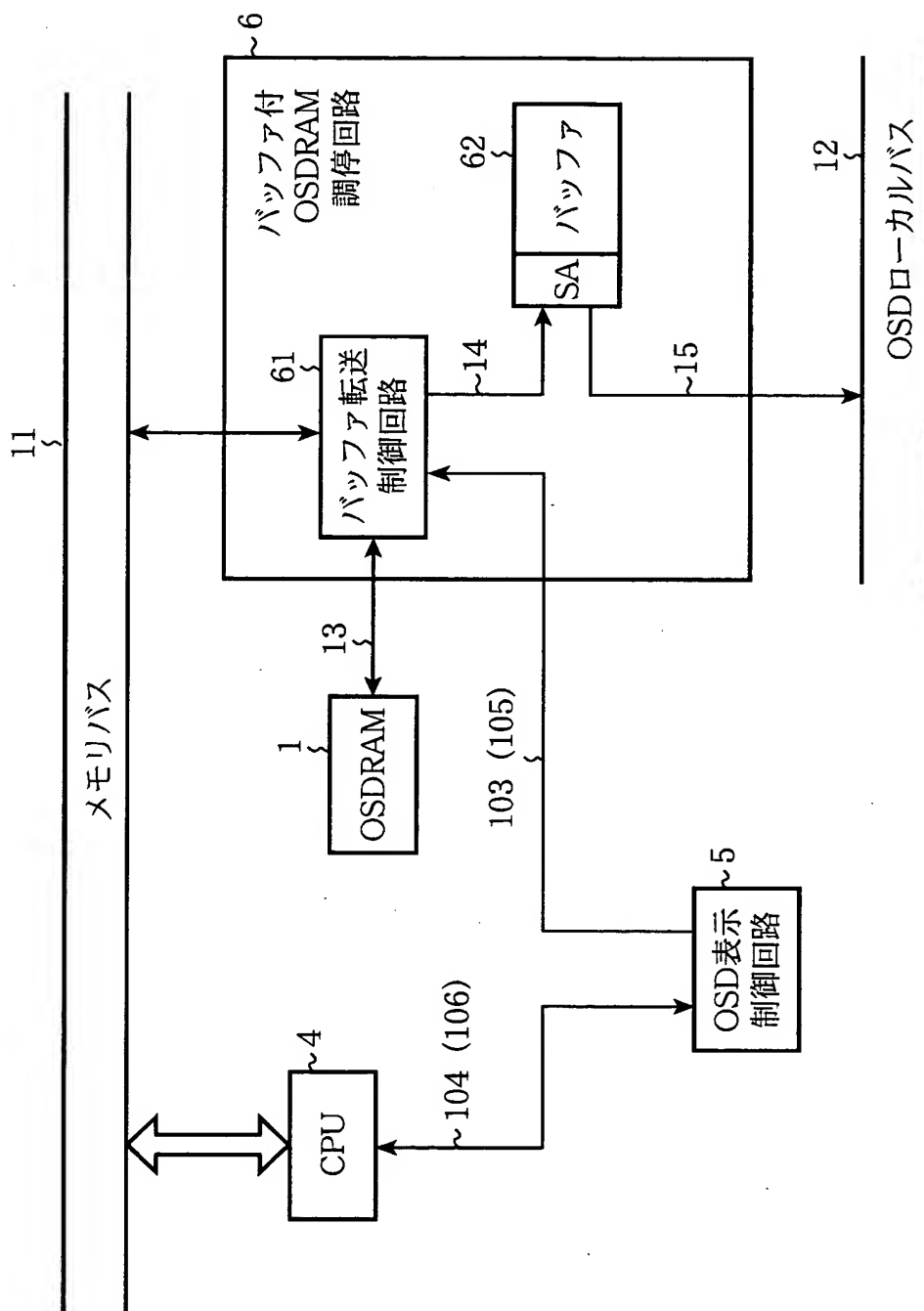
【書類名】

図面

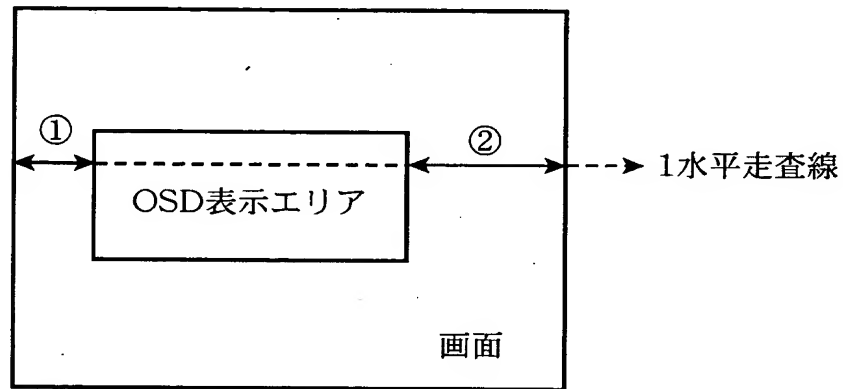
【図 1】



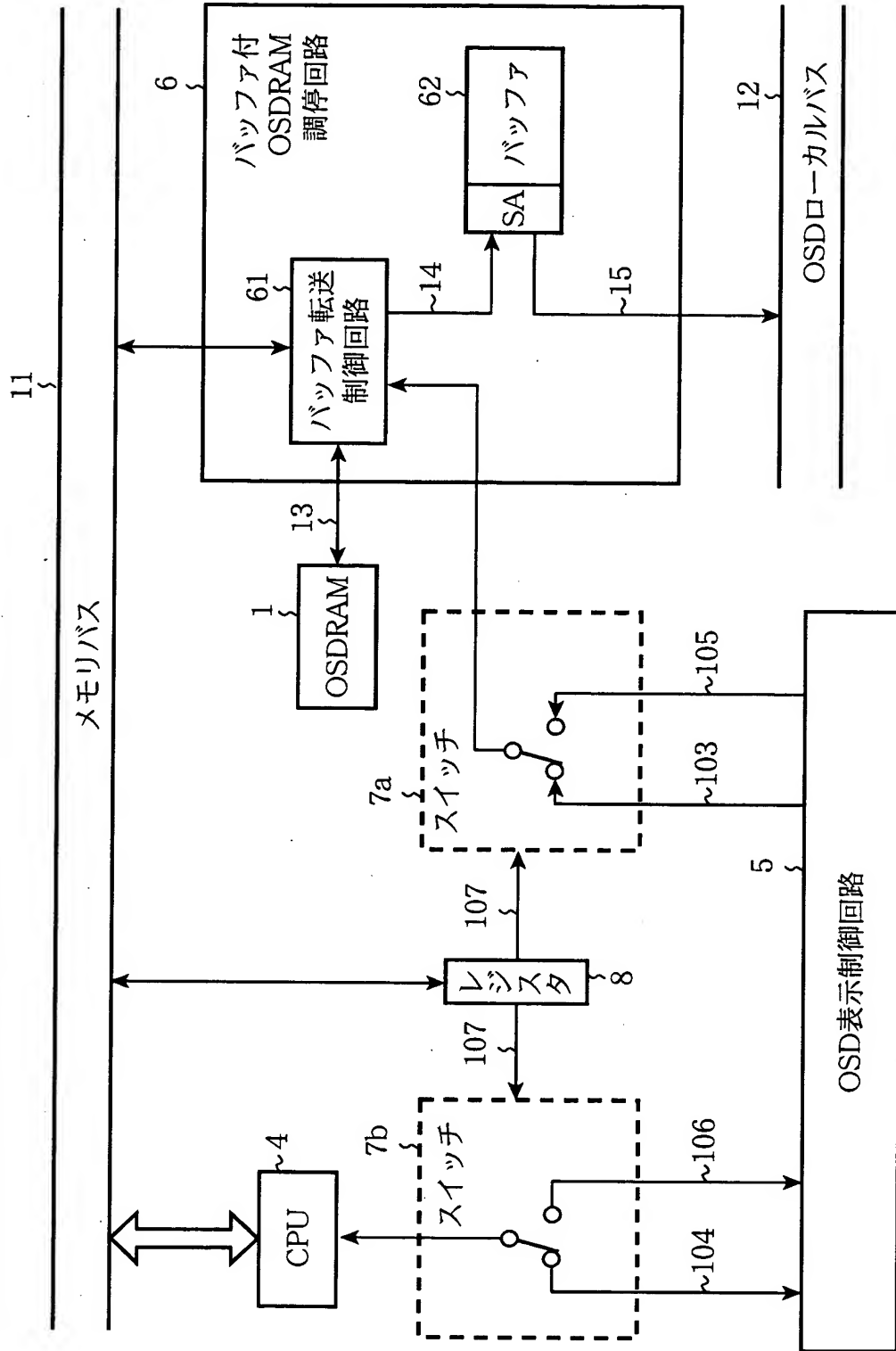
【図 2】



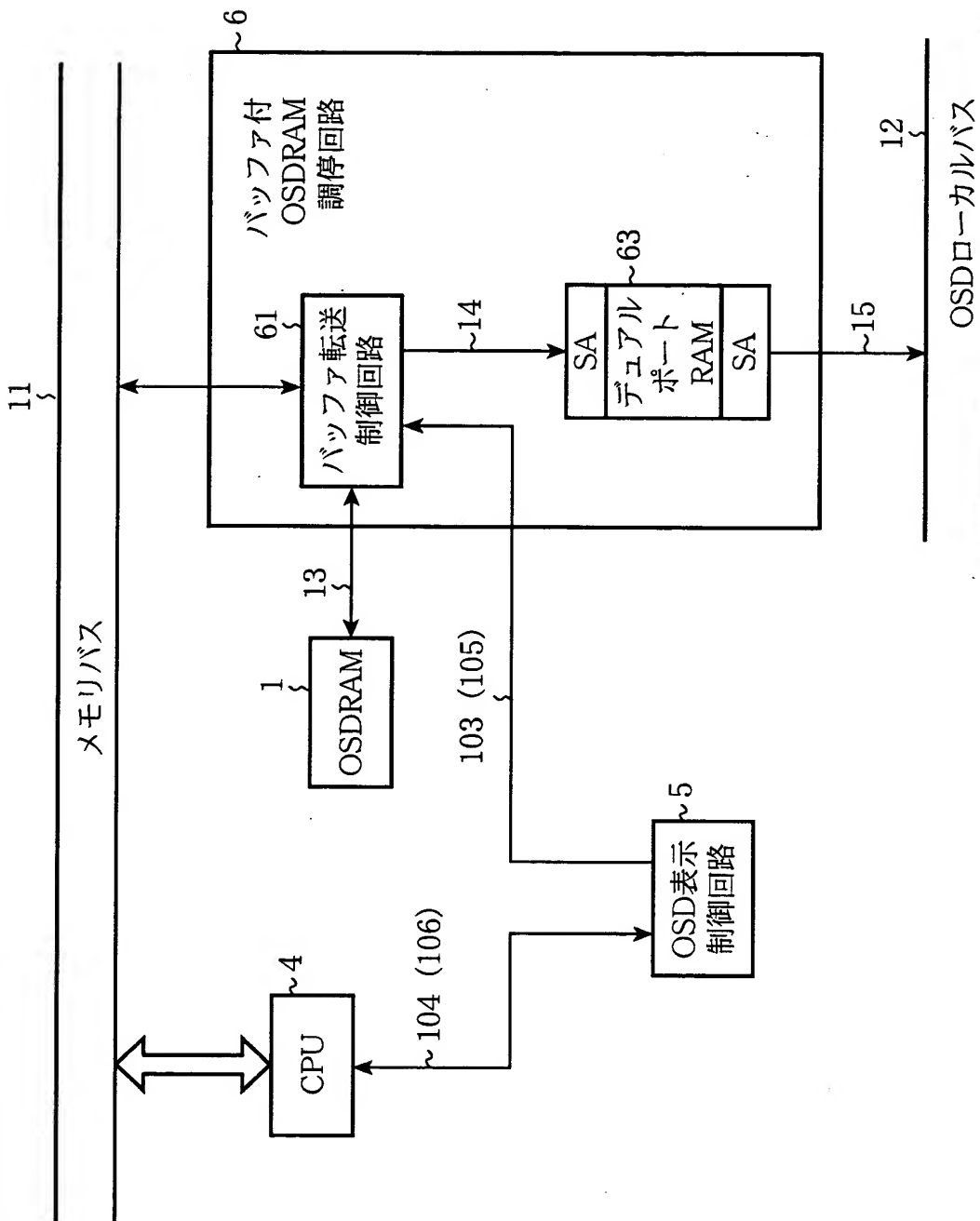
【図 3】



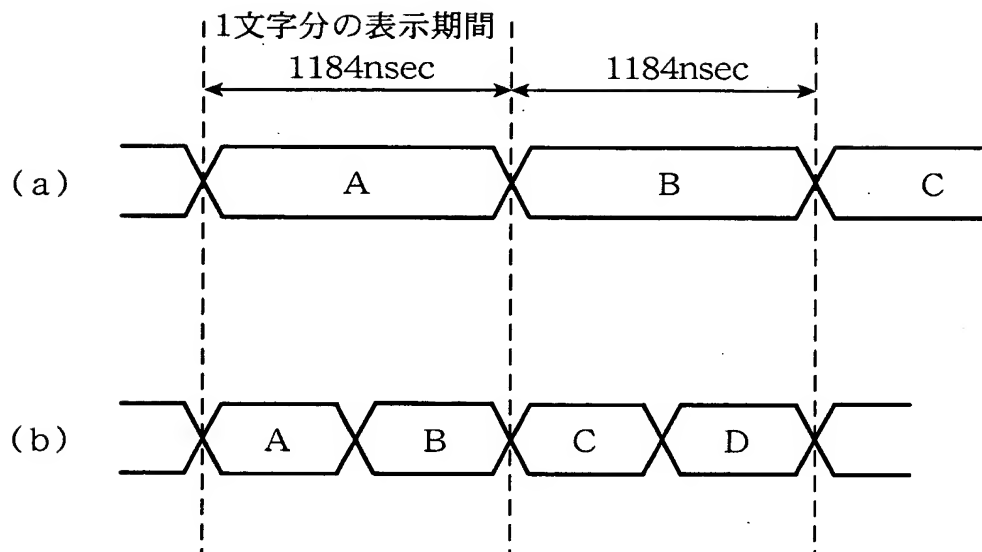
【図4】



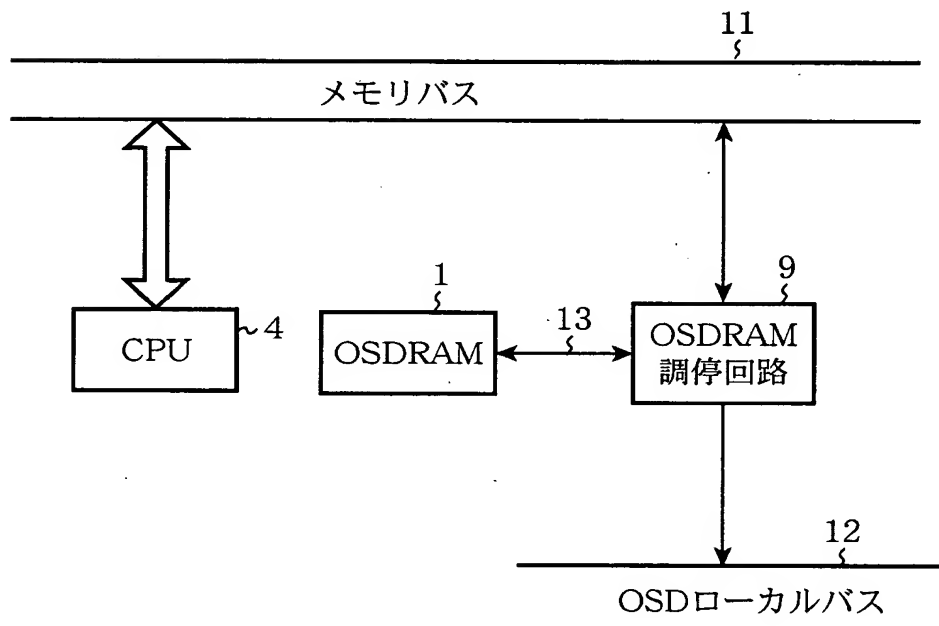
【図 5】



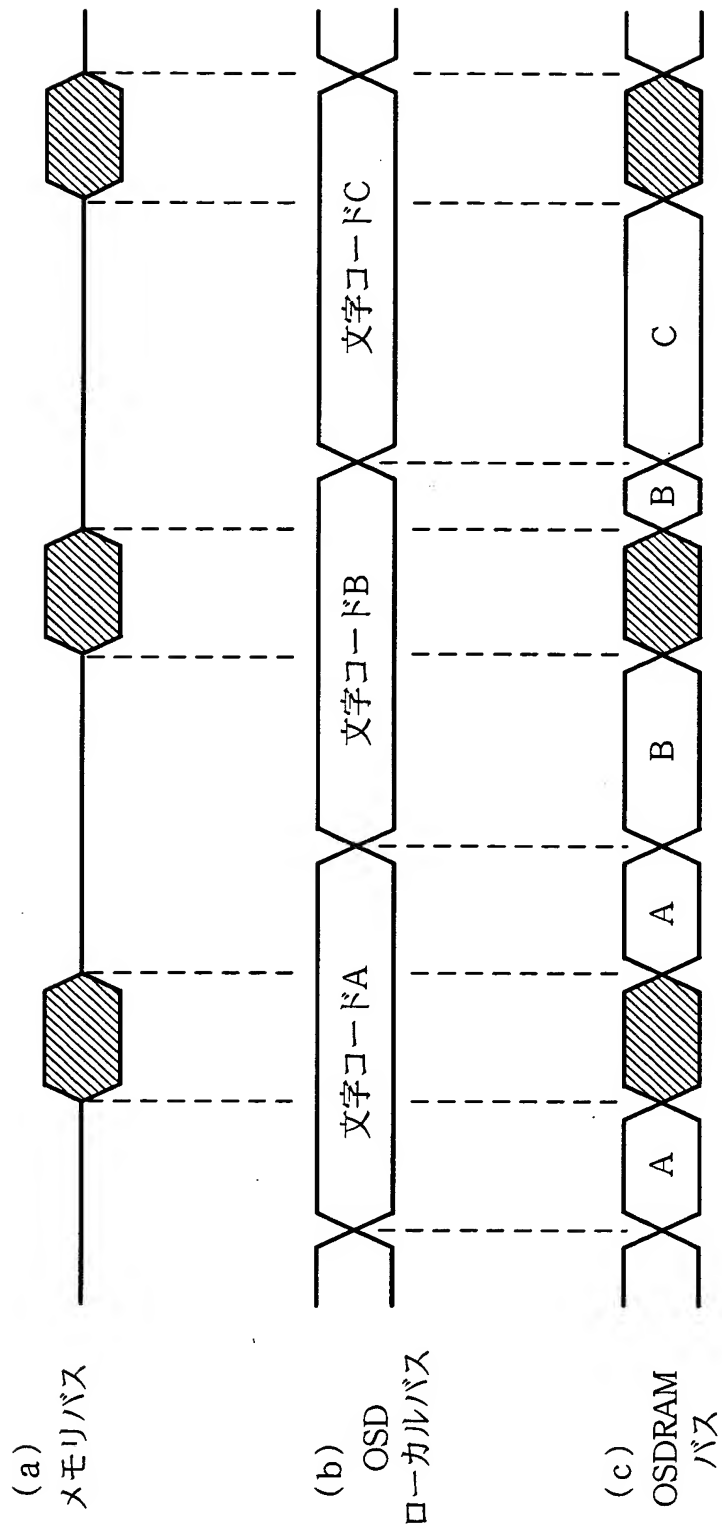
【図 6】



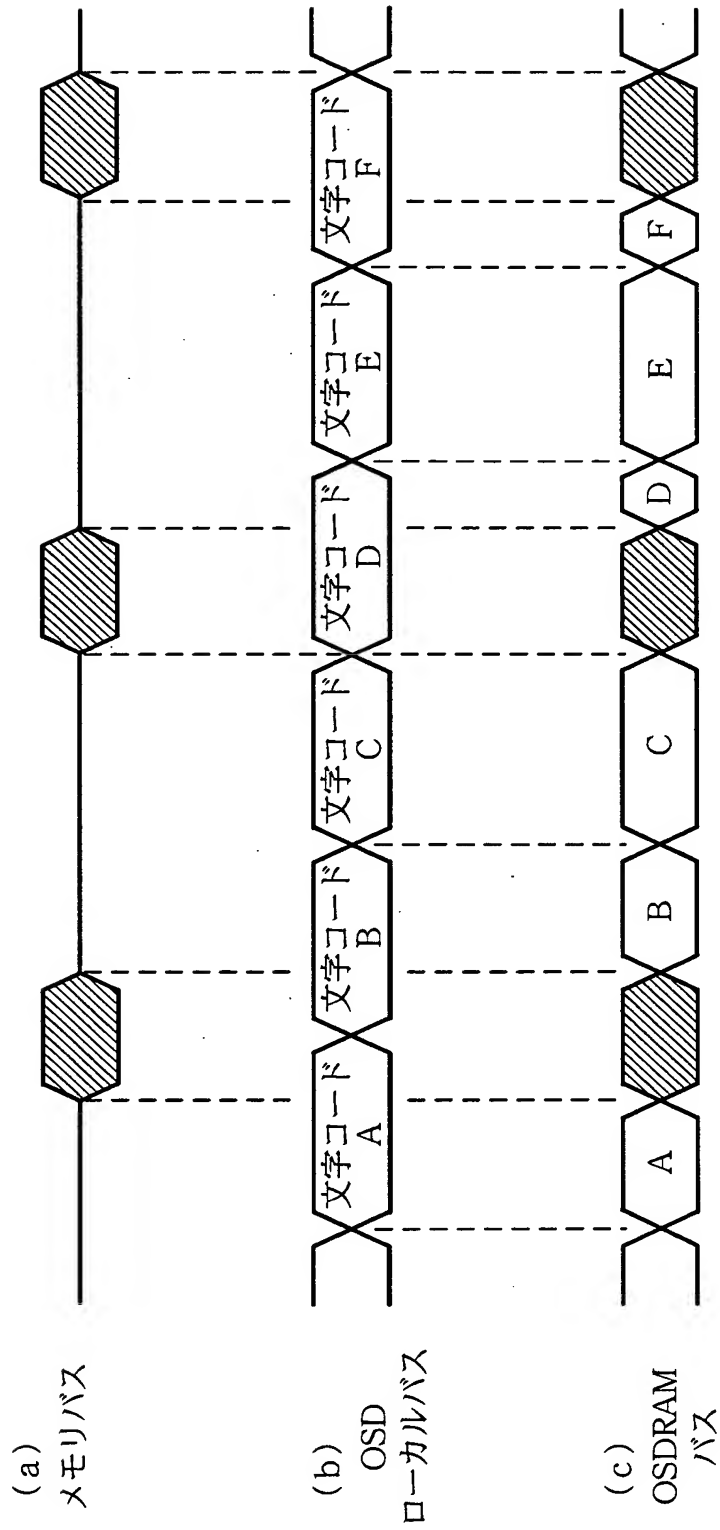
【図 7】



【図8】



【図 9】



【書類名】 要約書

【要約】

【課題】 高い周波数のOSD表示用クロックでもOSD表示を正常に行う。

【解決手段】 OSD表示を行うためのデータをOSD表示ブロック毎に設定するOSDRAM1a, 1bと、OSDRAM1a, 1bに設定するデータをCPU4から転送するメモリバス11と、OSD表示を行うためにOSDRAM1a, 1bに設定されているデータを転送するOSDローカルバス12とを備え、スイッチ2a, 2bを切り替えて、OSDRAM1a, 1bに交互にデータを設定し、設定されたデータをOSDRAM1a, 1bから交互にOSDローカルバス12に転送する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [391024515]

1. 変更年月日 1997年11月26日

[変更理由] 名称変更

住 所 兵庫県伊丹市中央3丁目1番17号

氏 名 三菱電機システムエル・エス・アイ・デザイン株式会社